

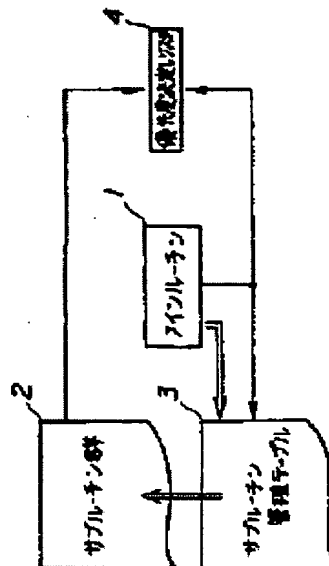
COPYING CONTROL DEVICE

Publication number: JP60149058
 Publication date: 1985-08-06
 Inventor: MIYAWAKI SHIYOUZOU; SAWAMURA TADAHIDE
 Applicant: RICOH KK
 Classification:
 - international: G03G15/00; G03G15/00; (IPC1-7): G03G15/00
 - european: G03G15/00C
 Application number: JP19840003640 19840113
 Priority number(s): JP19840003640 19840113

Report a data error here

Abstract of JP60149058

PURPOSE: To shorten a software development designing period and a software debugging period and to improve the reliability of software by forming a subroutine control table. **CONSTITUTION:** The titled device consists of a main routine 1, a subroutine group 2, a subroutine control table 3, and a priority determining register 4. After turning on a power supply, a stack pointer is set up at first, the whole area of a RAM constituting the priority determining register 4 is cleared, and after setting up the register, the execution of the control table 3 is specified from its head. In the succeeding step, AND between the register and the status is found out, and if the result is "0", the operation is backed. When the result is not "0", the operation is branched to the subroutine. Thus, the priority in the execution speed of the subroutine is defined on the control table 3 in each subroutine, so that the operation to be executed accurately can be selectively controlled.



⑫ 特 許 公 報 (B 2)

平5-14930

⑬ Int. Cl.⁵
G 06 F 9/42
// G 03 G 15/00

識別記号
3 1 0 A
3 0 1

庁内整理番号
9189-5B
8004-2H

⑭ 公告 平成5年(1993)2月26日

発明の数 1 (全4頁)

⑮ 発明の名称 制御装置

⑯ 特 願 昭59-3640

Pub. No.
⑰ 公 開 昭60-149058

⑱ 出 願 昭59(1984)1月13日

⑲ 昭60(1985)8月6日

⑳ 発 明 者 官 脇 省 三 東京都大田区中馬込1丁目3番6号 株式会社リコー内
㉑ 発 明 者 沢 村 忠 秀 東京都大田区中馬込1丁目3番6号 株式会社リコー内
㉒ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
㉓ 代 理 人 弁 理 士 武 顕 次 郎
審 査 官 林 敏 樹

1

2

㉔ 特許請求の範囲

1 制御対象の複数の制御手順をそれぞれ記憶する第1記憶手段と、

前記制御手順の実行上の選択情報を表す複数ビットの第1の符号化情報を前記制御手順に対応させてそれぞれ記憶する第2記憶手段と、

前記第1の符号化情報と同一のビット数で構成され、その中の1ビットのみハイレベルに設定される第2の符号化情報を記憶する第3記憶手段と、

全ての前記第1の符号化情報に互つて、該第1の符号化情報と前記第2の符号化情報との各ビット毎の論理積を順次、演算する演算手段と、

第2記憶手段に記憶されている前記第2の符号化情報のハイレベルのビット位置を順次、シフトさせる符号化情報更新手段と、

前記符号化情報更新手段が更新した全ての前記第2の符号化情報に互つて、前記演算手段が演算した演算結果に従つて、前記演算手段がハイレベル信号を出力した時の前記第1の符号化情報に対応する前記制御手順を順次、実行する制御手段とを備えた制御装置。

発明の詳細な説明

(技術分野)

本発明はマイクロプロセッサ使用システムに関するものであり、特に複写装置のサブルーチン実行制御方式に係るものである。

(従来技術)

従来、マイクロプロセッサを搭載した複写制御装置においては、それぞれモードの異なる各装置(機種)毎に異なつたソフトウェアを設計し、デバッグを実施していた。しかしながら、このような制御装置方式ではソフトウェアの設計期間が多く、デバッグ期間が多いという欠点の他、信頼性が低下するという問題もあつた。

(目的)

10 本発明はこの様な従来例の欠点に鑑みてなされたものであり、類似規模の操作モードの異なる複数の装置にわたり、共通なソフトウェアを用いることにより、ソフトウェアの開発設計期間、デバッグの期間を短縮し、信頼性の向上を計ることを目的とするものである。

(構成)

以下本発明の構成を図示の実施例に基づき説明する。

20 第1図は本発明のサブルーチン管理テーブル、第2図は前記サブルーチン管理テーブルの優先度ステータスとの比較により、サブルーチンの実行可否を決定する優先度決定レジスタを示すものであり、また第3図が本発明を説明するためのソフトウェア構成ブロック図である。

尚、第3図のメインルーチン、サブルーチン群、及びサブルーチン管理テーブルは読み出し専用記憶素子(ROM)に、優先度決定レジスタは

読み書き両用記憶素子 (RAM) に設けられている。

第1図aは各番地 (10~19番地) における内容、即ち、サブルーチンAの優先度ステータスであるとか、サブルーチンAの先頭アドレスであるとかを示す。また同図bはaの各番地に対応する0.1信号の組み合わせである。

また第3図において1はメインルーチン、2はサブルーチン群、3はサブルーチン管理テーブル、4は優先度決定レジスタをそれぞれ示す。尚、信号の流れは図に示す通りである。

次に第3図の構成ブロック図にて動作概要を述べると、メインルーチン1はまず優先度決定レジスタ4を、“00000001”に設定するのに引き続き、管理テーブル3の00で示されるサブルーチンAの優先度ステータス“00000001”とアンドをとり、結果が0にならないので次の(11)で示されるサブルーチンAの先頭アドレス (0C210H) を分岐先として分岐する。

次に(12)で示されるサブルーチンBの優先度ステータス“00000010”とアンドをとり、結果が0に成るので次の(13)で示されるサブルーチンBへは分岐しない。

以上の様にして1回目の走査ではサブルーチンA、Y、Zを実行する。

管理テーブル3の最終サブルーチン即ち第1図のZでは、再び管理テーブル3の先頭である00から開始する様に設定するとともに、優先度決定レジスタ4を左に1ビットシフトする。即ち“00000010”とする。

この様にして2回目の走査ではサブルーチンB、Y、Zを実行する。同様にして3回目の走査ではサブルーチンX、Y、Zを実行する。また4回目の走査ではY、Zを実行する。これらの走査回数と実行ルーチンをまとめると次表のようになる。

走査回数	実行ルーチン
1, 9, 17, 25, ...	A...Y, Z
2, 10, 18, 26, ...	B...Y, Z
3, 11, 19, 27,X, Y, Z
4, 12, 20, 28,Y, Z

走査回数	実行ルーチン
5, 13, 21, 29,Y, Z
6, 14, 22, 30,Y, Z
7, 15, 23, 31,X, Y, Z
8, 16, 24, 32,Y, Z

この様にして、サブルーチンの実行速度上の優先度を各サブルーチン毎に管理テーブル3上で定義することにより、精度が要求される動作を選択的に管理することが出来る。

第4図は以上の制御動作を説明するための概略フローチャートである。

即ち、電源投入後、まず、優先度決定レジスタが設けられているRAMの全領域をクリアし (S-1)、優先度決定レジスタに初期値を設定する (S-2)。次に、ポインタの値を管理テーブル3の最初のサブルーチンの先頭アドレスの値に設定する (S-3)。次のステップS-4では、優先度決定レジスタの設定値とポインタが示すサブルーチンの優先度ステータスの値の論理積を取り、0かどうかを判定する。その結果Yesならば、ポインタの値に2を加算して、管理テーブル3の次のサブルーチンの先頭アドレスの値を指し示すようにした後 (S-5)、ステップS-4に戻る。判定結果がNoならば、ポインタの値に1を加算し (S-6)、ポインタが指し示すサブルーチンに分岐する (S-7)。そして、当該サブルーチンが最終サブルーチンかどうかを判定し (S-8)、判定結果がNoならば、ポインタの値に1を加算し、管理テーブル3の次のサブルーチンの先頭アドレスの値を指し示すようにした後 (S-9)、ステップS-4に戻る。判定結果がYesならば、優先度決定レジスタの設定値を1ビット左へシフトさせた後 (S-10)、ステップS-4に戻る。

(効果)

本発明は以上述べた通りのものであり、本発明によれば、第1の符号化情報を適宜設定することにより、異なる装置であつてもソフトウェアを共通化する事が可能になるから、ソフトウェア開発設計期間の短縮及びソフトウェアデバッグ期間の短縮が計れ、ソフトウェア信頼性の向上が期待

出来る。さらに制御精度の向上も計れるという効果がある。

図面の簡単な説明

第1図は本発明のサブルーチン管理テーブルを示し、aは番地の内容、bはその0.1信号内容を

それぞれ示す図、第2図は優先度限定レジスタを示す図、第3図は本発明の一実施例に係る制御ブロック図、第4図はその動作フローチャートである。

5 3-----サブルーチン管理テーブル。

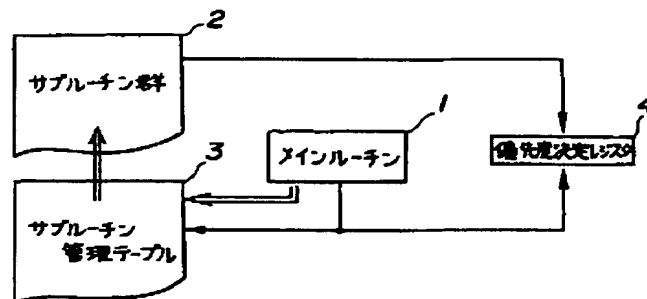
第1図

(a)	(b)
サブルーチンAの優先度ステータス	0 0 0 0 0 0 0 1
の優先アドレス	0 0 0 1 0 0 0 0
サブルーチンBの優先度ステータス	1 1 0 0 0 0 1 0
の優先アドレス	0 0 0 0 0 0 1 0
サブルーチンXの優先度ステータス	0 0 0 1 0 0 0 0
の優先アドレス	1 0 0 0 0 0 0 1
サブルーチンYの優先度ステータス	0 1 0 0 0 1 0 0
の優先アドレス	1 1 0 0 1 0 1 0
サブルーチンZの優先度ステータス	0 1 0 0 0 0 0 0
の優先アドレス	1 1 1 1 1 1 1 1
	0 0 0 0 0 0 1 0
	0 1 0 0 0 1 0 0
	1 1 1 1 1 1 1 1
	0 1 1 0 0 1 0 0
	0 1 0 0 1 1 0 0

第2図



第3図



第 4 図

